

ELECTRO-OPTIC DEVICE

Patent number: JP11084425 (A)

Publication date: 1999-03-26

Inventor(s): YAMAZAKI SHUNPEI; KOYAMA JUN; HIRAKATA YOSHIHARU; FUKUNAGA KENJI

Applicant(s): SEMICONDUCTOR ENERGY LAB

Classification:

- international: G02F1/136; G02F1/133; G02F1/1368; G09F9/00; G02F1/13; G09F9/00; (IPC1-7): G02F1/136; G02F1/133; G09F9/00

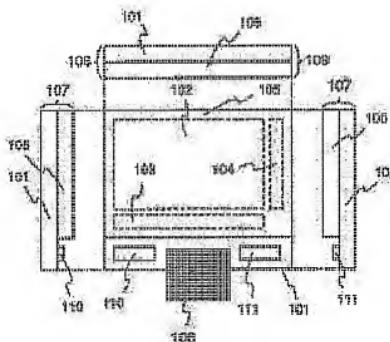
- european:

Application number: JP19970257847 19970905

Priority number(s): JP19970257847 19970905

Abstract of JP 11084425 (A)

PROBLEM TO BE SOLVED: To provide an electro-optic device which is excellent in portability, functionality and productivity. SOLUTION: The end faces of the first substrate 101 and the end faces of the second substrate 105 of the electro-optic device provided with an electro-optic modulation layer between the first substrate 101 and the second substrate 105 are all made flush with each other at the end faces 107 to 109 exclusive of the end faces of the parts to be mounted with IC chips 110, 111 among the end faces composed by the first substrate 101 and the second substrate 105. As a result, the area of the first substrate 101 may be minimized.



Family list

Family list
6 application(s) for: JP11084425 (A)

1 ELECTROOPTIC DEVICE

3 ELECTRO-OPTIC DEVICE

3 Electrooptical device

Inventor: YAMAZAKI SHUNPEI [JP]; KOYAMA JUN [JP]; (+2)
EC: G02F1/13B5
Publication Info: US6388652 (B1) — 2002-05-14

Applicant: SEMICONDUCTOR ENERGY LAB [JP]
IPC: G02F1/13; G09G3/36; G02F1/13; (+2)

4 Electrooptical device

Inventor: YAMAZAKI SHUNPEI [JP]; KOYAMA JUN
[JP] (+2)
EC:
Applicant: SEMICONDUCTOR ENERGY LAB [JP]
IPC: G02F1/1345; G09G3/36; G09G5/00; (+4)
Publication Info: US2002131007 (A1) — 2002-09-19
US6778164 (B2) — 2004-08-17

5 Electrooptical device

Inventor: YAMAZAKI SHUNPEI [JP]; KOYAMA JUN [JP] (+2)
E: **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
IPC: G09G3/36; G09G3/36; (IPC1-7): G09G3/36
Publication info: US2005017940 (A1) — 2005-01-27
US7256776 (B2) — 2007-08-14

6 Electrooptical device

Inventor: YAMAZAKI SHUNPEI [JP]; KOYAMA JUN [JP] (+2)
EC: G09G3/36C8; G02F1/1362D **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
IPC: G09G5/00; G09G5/00

Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-84425

(43)公開日 平成11年(1999)3月26日

(51)Int.Cl.⁶G 0 2 F 1/136
1/133
G 0 9 F 9/00

識別記号

5 0 0
5 5 0
3 4 6

F I

G 0 2 F 1/136
1/133
G 0 9 F 9/005 0 0
5 5 0
3 4 6 G

審査請求 未請求 請求項の数13 FD (全 16 頁)

(21)出願番号

特願平9-257847

(22)出願日

平成9年(1997)9月5日

(71)出願人

000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72)発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72)発明者 平形 吉晴
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

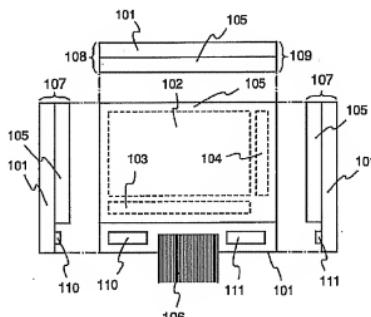
最終頁に続く

(54)【発明の名称】電気光学装置

(57)【要約】

【課題】携帯性、機能性、生産性に優れた電気光学装置を提供する。

【解決手段】第1の基板101と第2の基板105との間に電気光学変調層を設けた電気光学装置において、第1の基板101と第2の基板105とが構成する端面のうち、ICチップ110、111を取り付ける部分の端面以外の端面107～109では、第1の基板101の端面と第2の基板105の端面を全て揃える。これにより第1の基板101の面積を最小限に小さくできる。



【特許請求の範囲】

【請求項1】第1の基板及び第2の基板と、前記第1の基板と前記第2の基板との間に設けられた電気光学変調層と、
を有する電気光学装置において、
前記第1の基板上には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数のボトムゲイド型TFT並びにロジック回路を構成する1個乃至複数個のICチップが設けられ、
前記第1の基板と前記第2の基板は、任意の端面を除く全ての端面を互いに揃えて貼り合わされており、
前記任意の端面に隣接する前記第1の基板上に前記ICチップが取り付けられていることを特徴とする電気光学装置。

【請求項2】第1の基板及び第2の基板と、
前記第1の基板と前記第2の基板との間に設けられた電気光学変調層と、
を有する電気光学装置において、
前記第1の基板上には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数のボトムゲイド型TFT並びにロジック回路を構成する1個乃至複数個のICチップが設けられ、
前記第1の基板と前記第2の基板は、FPCを取り付ける部分を除いて互いの端面を全て揃えて貼り合わされており、

前記FPCを取り付ける部分に前記ICチップが取り付けられていることを特徴とする電気光学装置。

【請求項3】第1の基板及び第2の基板と、
前記第1の基板と前記第2の基板との間に設けられた電気光学変調層と、
を有する電気光学装置において、

前記第1の基板上には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数のボトムゲイド型TFT並びにロジック回路を構成する1個乃至複数個のICチップが設けられ、
前記第1の基板はFPCを取り付ける部分においてのみ露出しており、

前記FPCを取り付ける部分に前記ICチップが取り付けられていることを特徴とする電気光学装置。

【請求項4】請求項1乃至請求項3において、前記第1の基板はガラス基板であることを特徴とする電気光学装置。

【請求項5】請求項1乃至請求項3において、前記ICチップはCOG方式で取り付けられていることを特徴とする電気光学装置。

【請求項6】請求項1乃至請求項3において、前記ICチップはTAB方式で取り付けられていることを特徴とする電気光学装置。

【請求項7】請求項1乃至請求項3において、前記ICチップはA/Dコンバータ、VRAM、γ補正+極性反転回路

転回路、D/Aコンバータ、クロックジェネレータ、制御マイコンを含むことを特徴とする電気光学装置。

【請求項8】請求項1乃至請求項3において、前記ICチップは増幅回路、γ補正+極性反転回路、サンプルホールド回路、バッファアンプ、クロックジェネレータ、制御マイコンを含むことを特徴とする電気光学装置。

【請求項9】請求項1乃至請求項3において、前記ICチップはVRAM、γ補正回路、クロックジェネレータ、制御マイコンを含むことを特徴とする電気光学装置。

【請求項10】請求項1乃至請求項3において、前記ICチップはDSP、フラッシュメモリ、VRAM、γ補正回路、クロックジェネレータ、制御マイコンを含むことを特徴とする電気光学装置。

【請求項11】請求項1乃至請求項7において、前記ICチップはYC分離回路および/またはRGB分離回路を含むことを特徴とする電気光学装置。

【請求項12】請求項1乃至請求項7において、前記ICチップはVSB/QAM復調回路、トランスポートデコーダ、MPEG2(デコーダ)、フォーマット変換回路を含むことを特徴とする電気光学装置。

【請求項13】請求項1乃至請求項3において、前記ボトムゲイド型TFTとは逆スクガ型TFTであることを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は絶縁基板上に形成された薄膜トランジスタと、同一基板上に設けられたICチップとで構成される電気光学装置、特にアクティブマトリクス型液晶表示装置の構成に関する。

【0002】

【従来の技術】近年、ガラス基板上に形成した半導体薄膜で薄膜トランジスタ(以下、TFTと呼ぶ)を形成する技術が発達している。そして、一対の基板間に挟持された光学変調層にかかる電圧をTFTで制御し、光のON/OFF動作を行う電気光学装置の開発が進んでいる。

【0003】特に、光学変調層として液晶を用いた液晶パネルは、ビデオカメラのビューファインダーやノートパソコンのモニター画面などの如き表示ディスプレイとして、急速に需要が高まっている。

【0004】現在では、半導体薄膜として結晶性珪素膜(代表的にはポリシリコン膜)を用いたポリシリコンTFTで構成される液晶パネルの開発が主流である。ポリシリコンTFTはアモルファスシリコンTFTよりも動作速度が速いため、同一基板上に画素マトリクス回路と駆動回路(シフトレジスタなど)を作り込むモノリシック型液晶パネルの形成が可能である。

【0005】さらには、シフトレジスタ等の駆動回路だけでなく、クロック制御回路、メモリ回路、信号変換回路などの如きロジック回路をも同一基板上に形成するシ

ステム・オン・パネルの実現化が求められている。

【0006】その様なロジック回路はGHzオーダーにも及ぶ動作速度を必要とするため、ポリシリコンTFTにも極めて高い動作速度が要求される。それを実現するためにはスケーリング則に従って素子の微細化を図らなければならない。

【0007】しかしながら、一般的に使用される大型ガラス基板上に配線幅1μm以下のファインパターンを形成することは非常に困難である。例えば、ガラス基板では基板表面のうねり、シールングエージといった問題が生じる。また、広範囲にファインパターンを形成しうる様な光学系を実現することは極めて難しく、露光技術の進歩が律則となっている面もある。

【0008】従って、現状においてはシフトレジスタ等の駆動回路を同一基板上に作り込むのが限界（それでも動作速度が足らず、分割駆動が行われる）であり、その他のロジック回路は外付ICに頼っている。

【0009】

【発明が解決しようとする課題】軽薄短小が求められる現代では、電気光学装置もより小型化、より軽量化が求められるところが、駆動回路を内蔵させて液晶パネルの機能性を高めても液晶パネルに外付ICを付けている以上、どうしてもそれが装置の小型化及び軽量化の障害になってしまいます。

【0010】本願発明はその様な問題点を鑑みてなされたものであり、液晶モジュールのさらなるシステム化を図り、より携帯性、機能性に優れ、安価な製造コストで得られる電気光学装置を提供することを課題とする。

【0011】

【課題を解決するための手段】本明細書で開示する発明の構成は、第1の基板及び第2の基板と、前記第1の基板と前記第2の基板との間に設けられた電気光学変調層と、を有する電気光学装置において、前記第1の基板上には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数のボトムゲイド型TFT並びにロジック回路を構成する1個乃至複数個のICチップが設けられ、前記第1の基板と前記第2の基板は、任意の端面を除く全ての端面を互いに接して貼り合わされており、前記任意の端面に隣接する前記第1の基板上に前記ICチップが取り付けられていることを特徴とする。

【0012】上記構成は、第1の基板及び第2の基板と、前記第1の基板と前記第2の基板との間に設けられた電気光学変調層と、を有する電気光学装置において、前記第1の基板上には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数のボトムゲイド型TFT並びにロジック回路を構成する1個乃至複数個のICチップが設けられ、前記第1の基板と前記第2の基板は、FPCを取り付ける部分を除いて互いの端面を全て備えて貼り合わされており、前記FPCを取り付ける部分に前記ICチップが取り付けられていることを特

徴とする、とも言える。

【0013】上記構成は、第1の基板及び第2の基板と、前記第1の基板と前記第2の基板との間に設けられた電気光学変調層と、を有する電気光学装置において、前記第1の基板上には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数のボトムゲイド型TFT並びにロジック回路を構成する1個乃至複数個のICチップが設けられ、前記第1の基板はFPCを取り付ける部分においてのみ露出しており、前記FPCを取り付ける部分に前記ICチップが取り付けられていることを特徴とする、とも言える。

【0014】

【発明の実施の形態】本願発明では、第1の基板101と第2の基板105との間に液晶層を設けて液晶パネルを構成する。この時、第1の基板101上に第2の基板105が貼り合わされた状態となっているが、各々の基板の端面（側面）107～109を揃えることが本願発明の特徴である。

【0015】この構成は、第1の基板101と第2の基板105とを一括で切断しても得られるし、表裏両側から同じ位置を切断しても得られる。

【0016】ただし、FPC（フレキシブル・プリント・サーキット）を取り付ける部分のみは第2の基板105を除去して第1の基板101を露出させなければならない。そのため、そこだけは第1の基板101が必ず露出するので、その部分をICチップ110、111の取り付け部分として有効に活用する。

【0017】本願発明は、従来FPCの取り付け部としてのみ利用されていた第1の基板101の露出部を、ICチップの取り付け部として有効に活用し、第1の基板101のサイズを必要最小限に抑えることを目的としている。

【0018】

【実施例】

【実施例1】本願発明の構成について図1を用いて説明する。図1は本願発明の液晶モジュールである。なお、液晶モジュールとは、完成した液晶パネルに対して必要な部品（偏光板、外付ICなど）を装着したもの指す。本実施例では偏光板など本願発明の構成に直接関係しない部品の記載を省略している。

【0019】図1において、101は第1の基板であり、第1の基板101上には画素マトリクス回路102やソース駆動回路103、ゲート駆動回路104がボトムゲイド型TFT（代表的には逆タガ型TFT）でもって形成されている。また、105は第2の基板であり、第1の基板101との間に電気光学変調層（本実施例では液晶）を挟持するための対向基板である。

【0020】これら第1の基板、第2の基板には絶縁表面を有する基板が用いられる。絶縁表面を有する基板としては下地膜を設けたガラス基板、石英基板、セラミッ

クス基板、シリコン基板等が挙げられる。また、石英基板は下地膜を設けないでも使用することができる。

【0021】本願発明の特徴は、第1の基板101の端面と第2の基板105の端面とを極力抑えることにある。即ち、任意の端面を除く全ての端面を互いに揃えて貼り合わせることを特徴とする。

【0022】この場合、任意の端面は一辺のみとすることが好ましい。従って、角型ガラス基板を第1の基板として用いる場合、三つの端面は第1の基板と第2の基板とで揃っており、ただ一辺のみが揃っていない状態となる。例えば、図1に示す様にFPC106を取り付ける部分以外は、全ての端面107～109を揃えることが望ましい。

【0023】FPCを取り付ける部分（上記任意の端面に隣接する部分）は第1の基板101上の配線を露出させる必要上、第2の基板105のみを除去しなければならない。本願発明では、その様な理由で露出した第1の基板101上にICチップ110、111をCOG（chip on glass）法により形成する。

【0024】COGによるICチップの取り付けにはフェイスダウン方式とフェイスアップ方式（ワイヤボンディング方式とも言う）の2通りが知られている。本願発明にフェイスダウン方式を用いればICチップ110、111の素子形成面が第1の基板101側に向かう。また、フェイスアップ方式を用いればICチップ110、111の素子形成面が第2の基板105側に向かうことになる。

【0025】即ち、第1の基板101と第2の基板105は、FPC取り付け部以外の部分では全ての端面107～109が揃っており、FPC取り付け部のみで第1の基板101が露する様な構成となっている。そして、その露部にICチップ110、111が取り付けられている。

【0026】なお、ICチップは0.35μm以下（好ましくは0.2μm以下）といったディープサブミクロンのファインパターンを形成できるので、数mm角のチップ上に複雑なロジック回路を構成することができます。

【0027】また、本願発明の液晶パネルに取り付けうるICチップは2個とは限らず、必要に応じて1個乃至複数個を設ければ良い。

【0028】以上の様な構成することで、第1の基板101の占有面積を必要最小限に抑えることができる。即ち、第1の基板101のFPC取り付け部をICチップの取り付け部として有効に活用することで、液晶パネルの大きさを極力小さくすることが可能である。

【0029】また、画素マトリクス回路102、駆動回路103、104を安価な製造コストで作製可能な逆スカラ型TFTで構成しているので、液晶パネル本体の製造コストを低く抑えることができる。この様に、液晶パネル本体を可能な限り安価なコストに抑えることでIC

チップを搭載した液晶モジュールの製品価格を引き下げることができる。

【0030】さらに、図1に示した構成は液晶パネルの製造過程においても有意な効果をもたらす。通常、液晶パネルは1枚の基板から複数枚を取り出す（多面取りと呼ばれる）ことでスループットを向上させ、液晶パネル1枚あたりの単価を下げる。そのため、本願発明の様に液晶パネルのサイズを最小限に小さくできるという効果は、1枚の大型基板内に形成可能なパネル数を増やす上で有効である。

【0031】また、従来はプリント基板に形成された外付のロジック回路とモノリシック型液晶パネルとをFPCで繋いで信号のやりとりをしていたが、本願発明では必要なロジック回路をワンチップ化して同一基板上に形成する。そのため、非常に携帯性及び機能性に優れた液晶モジュールを実現できる。

【0032】また、薄いガラス基板上に形成された液晶モジュール自体が表示ディスプレイとしての機能を有しているので、それを搭載した電子機器（ビデオカメラ、携帯情報端末など）の小型化、軽量化が実現される。

【0033】【実施例2】実施例1ではICチップの取り付け方法としてCOG法を用いる例を示したが、TAB（tape automated bonding）法を用いることも可能である。TAB法を用いた場合の構成例を図2に示す。

【0034】図2において、第1の基板101と第2の基板105とは実施例1で説明した様な構成で貼り合わされている。当然、実施例1に示した様にFPC取り付け部以外の端面は第1の基板101と第2の基板105とで全て揃っており、FPC取り付け部のみで第1の基板101が露している。

【0035】本実施例では、第1の基板101の露し出すた部分にTCP（tape carrier package）201～203を取り付ける。TCPとは、フレキシブルテープにロジックICをギャングボンディングで搭載したものを指す。なお、実施的にはFPCもTCPも同じものである。

【0036】TAB法を用いることで接続ピッチや形状、開き構造や曲げ構造など実装面での自由度が向上する。そのため、液晶パネルの大容量化、高精細化、カラーワークに伴う接続ピッチのファイン化、液晶モジュールの薄型化、軽量化、コンパクト化に適している。

【0037】【実施例3】実施例1において用いるICチップ110、111は、パルク単結晶を利用したMOSFET（IGFETとも呼ばれる）を用いれば良い。図3にパルク単結晶を利用したICチップを搭載した場合の例を示す。図3に示す液晶モジュールの構成は実施例1と同様である。

【0038】この時、ソース駆動回路103、ゲート駆動回路104は逆スクエア型TFT（301で示される）で構成される。なお、図3にはN型及びP型TFTを相

補的に組み合わせたCMOS回路（インバータ回路）を記載したが、通常これを基本としてシフトレジスタ回路、バッファ回路、アナログスイッチ回路などを構成する。

【0039】次に、ICチップ110、111はパルク単結晶を利用したMOSFET（302で示される）で構成される。この302で示されるMOSFETは通常のIC形成技術で形成される。本実施例では詳細な説明は省略する。

【0040】ICチップとしてパルク単結晶を利用する場合、従来のIC技術を踏襲することができる。非常に高い歩留りと信頼性を確保することができる。また、機能性の高いICチップを小さい実装面積で取り付けることができる。

【0041】〔実施例4〕本実施例では、液晶モジュールに実装するICチップをSOI構造で形成する場合の例について説明する。図4にSOI構造のICチップを搭載した場合の例を示す。図4に示す液晶パネルの構成は実施例1と同様である。

【0042】図4において、ソース駆動回路103、ゲート駆動回路104はそれぞれ逆ストガ型 TFTで構成されるCMOS回路（401で示される）を基本回路として構成される。そして、ICチップ402、403をSOI構造のFET（404で示される）で構成する。

【0043】図4において404で示されるSOI構造は、公知のS IMO X基板上にトランジスタを構成した例であるが、他のあらゆるSOI構造（貼り合わせSOI、スマートカット法を用いたSOIなど）を利用することが可能である。なお、ここでSOI構造の詳細な説明は省略する。

【0044】SOI構造の場合、パルク単結晶を利用したMOSFETよりも動作速度、信頼性の面で優れた回路を構成しうる。これは活性層を薄膜化することによる寄生容量の低減や短チャネル効果の抑制などが起因していると考えられる。

【0045】また、SOI技術を利用して三次元構造としたICチップを取り付けることも可能である。この場合、実装面積を大きくすることなく、回路の機能を飛躍的に向上させることができると考えられる。

【0046】〔実施例5〕本実施例ではソース駆動回路やゲート駆動回路を構成するためにNTFT（Nチャネル型TFT）とPTFT（Pチャネル型TFT）とを相補的に組み合わせてCMOS回路を作製する例を示す。

【0047】まず、ガラス基板501上に酸化珪素膜でなる下地膜502を設け、その上にゲート電極503、504を形成する。本実施例ではゲート電極503、504として200~400 nm厚のアルミニウム合金（アルミニウムに2wt%のスカンジウムを添加したもの）を使用するが、クロム、タンタル、タングステン、モリブデン、導電性を有するポリシリコンを用いても良い。

【0048】次に、ゲート電極503、504を硝石酸中で陽極酸化して無孔性の陽極酸化膜505、506を形成する。詳細な形成方法は特開平7-135318号公報を参考にすると良い。陽極酸化膜505、506は後のプロセス温度に耐えうる様にゲート電極503、504を保護する。

【0049】そして、その上にゲート絶縁膜507を100~200 nmの厚さに形成する。ゲート絶縁膜507としては酸化珪素膜、窒化珪素膜又は酸化珪素膜と窒化珪素膜との積層膜を用いる。また、本実施例では陽極酸化膜505、506もゲート絶縁膜の一部として機能する。

【0050】次に、非晶質珪素膜508を10~150 nm（好ましくは10~75 nm、さらに好ましくは15~45 nm）の厚さに形成する。非晶質珪素膜508以外にも珪素を主成分とする半導体薄膜（例えばSi_xGe_{1-x}（0<x<1）で示されるシリコン・ゲルマニウム化合物）を用いることができる。

【0051】こうして図5（A）の状態が得られたら、レーザー光またはレーザー光と同等の強度を持つ強光の照射を行い、非晶質珪素膜508を結晶化する。レーザー光としてはエキシマレーザー光が好ましい。エキシマレーザーとしては、KrF、ArF、XeClを光源としたパルスレーザーを利用すれば良い。

【0052】また、レーザー光と同等の強度を持つ強光としては、ハロゲンランプ又はメタルハライドランプからの強光、赤外光又は紫外光ランプからの強光を利用することができます。

【0053】本実施例では、非晶質珪素膜508を脱水素化した後、線状に加工されたレーザー光を基板の一端から他端へ走査し、非晶質珪素膜508の全面を結晶化する。この時、レーザー光のスウェーパ速度は1.2 mm/s、処理温度は室温、パルス周波数は30 Hz、レーザーエネルギーは300~315 mJ/cm²とする。（図5（B））

【0054】こうして図5（B）に示す様に結晶性珪素膜509が得られる。ここで本実施例ではNTFTとなる領域及びPTFTとなる領域の両方に対してチャネルドープを行い、しきい値電圧の制御を行う。

【0055】なお、本実施例ではNTFTとなる領域にはしきい値電圧をマイナス側に移動させるために15族から選ばれた元素（リンを例に挙げる）を添加し、PTFTとなる領域にはしきい値電圧をプラス側にシフトさせるために13族から選ばれた元素（ボロンを例に挙げる）を添加する構成を示す。

【0056】まず、結晶性珪素膜508上に酸化珪素膜でなるバッファ層510を50~200 nm（好ましくは100~150 nm）の厚さに形成する。

【0057】そして、まず、PTFTとなる領域をレジストマスク511で隠し、イオン注入（イオンプランテーション）法（質量分離あり）又はイオンドーピング法（質量分離なし）によりリンを添加する。このチャネル

ドープ工程によりリン含有領域512が形成される。リノの代わりに砒素、アンチモン等を添加しても良い。(図5 (C))

【0058】この時、加速電圧は5~80keV(代表的には10~30keV)から選び、ドーズ量は $1\times10^{12}\sim1\times10^{17}\text{atoms}/\text{cm}^2$ (好ましくは $1\times10^{13}\sim1\times10^{16}\text{atoms}/\text{cm}^2$)とすれば良い。本実施例では、加速電圧を30keVとし、ドーズ量を $5\times10^{13}\text{atoms}/\text{cm}^2$ とする。

【0059】なお、ドーズ量は実験的に求めめておかなければならぬ。即ち、チャネルドープを行わない場合にどれだけしきい値電圧がシフトするかを前もって確認し、所望のしきい値電圧を得るにはどれだけのリンを添加する必要があるのかを予め求めておく。従って、ドーズ量は上記範囲内に収まっていなければならぬといふものではない。

【0060】この時、結晶性珪素膜509は非常に薄いので直接イオン注入を行うと大きなダメージを受けて結晶性が崩れてしまう。また、非常に薄い膜に対してイオン注入を行う場合、不純物の濃度制御が非常に困難である。

【0061】しかしながら、本実施例では前述のバッファ層510を介したスルードーピングになるので、結晶性珪素膜509がイオン注入時に受ける損傷を抑制することができる。また、結晶性珪素膜509の上に厚めのバッファ層510が存在するので、結晶性珪素膜509中に添加する不純物濃度の制御が容易となる。

【0062】また、イオン注入により形成される結晶性珪素膜中におけるリンの濃度プロファイルは、チャネルが形成される部分(チャネル形成領域とゲート絶縁膜とが接する界面近傍)でリン濃度が低くなる様に調節することが望ましい。この効果については後述する。

【0063】以上の様にしてNTFTとなる領域に15族元素を添加したら、レジストマスク111を除去し、新たにNTFTとなる領域を隠してレジストマスク113を形成する。そして、次は後にPTFTとなる領域に対して13族から選ばれた元素(本実施例ではボロン)を添加する。添加工程は先程のリンの添加工程を参考にすれば良い。勿論、ボロン以外にもガリウムやインジウム等を用いることも可能である。(図5 (D))

【0064】図5 (D)に示した工程によりPTFTとなる領域にはボロン含有領域514が形成される。この場合も先程の15族元素の添加工程の場合と同様に、バッファ層510がイオン注入時の損傷を低減し、濃度制御を容易なものとする。

【0065】以上の不純物添加工程が終了したら、バッファ層510、レジストマスク113を除去した後、バーナーニングにより活性層515、516を形成する。その後、エキシマレーザー光を照射し、イオン注入工程で受けたダメージの回復と添加したボロンの活性化を行う。(図5 (E))

【0066】次に、ゲート電極503、504をマスクとした裏面露光を行うことでレジストマスク517、518を形成する。そして、N型を付与する不純物元素(代表的にはリン、砒素)を添加して $1\times10^{17}\sim5\times10^{18}\text{atoms}/\text{cm}^2$ 程度の低濃度不純物領域519~522を形成する。(図6 (A))

【0067】次に、レジストマスク517、518を除去した後、再びバーナーニングしてレジストマスク523、524を形成する。この時、PTFTは完全に覆ってしまう。そして、再びN型を付与する不純物元素を図6 (A)の時よりも高濃度($1\times10^{19}\sim1\times10^{20}\text{atoms}/\text{cm}^2$ 程度)に添加してNTFTのソース領域525、ドレイン領域526を形成する。

【0068】また、この時、527、528で示される領域は前述の低濃度不純物領域がそのまま残り、後にLDドド領域(Light Doped Drain)として機能する。さらに529で示される領域はチャネル形成領域となる。(図6 (B))

【0069】次に、レジストマスク523、524を除去した後、今度はNTFTを完全に覆う様にしてレジストマスク530、531を形成する。

【0070】そして、P型を付与する不純物元素(代表的にはボロン、ガリウム、インジウム)を $1\times10^{19}\sim1\times10^{20}\text{atoms}/\text{cm}^2$ 程度の濃度となる様に添加し、PTFTのソース領域532、ドレイン領域533を形成する。また、534で示される領域がチャネル形成領域となる。(図6 (C))

【0071】次に、レジストマスク530、531を除去した後、エキシマレーザー光を照射することで添加したイオン注入時の損傷の回復と添加した不純物の活性化を行う。(図6 (D))

【0072】レーザーアニールが終了したら、層間絶縁膜535を300~500 nmの厚さに形成する。層間絶縁膜535は酸化珪素膜、塗化珪素膜、有機性樹脂膜又はそれらの積層膜で構成される。

【0073】そして、その上に金属薄膜でなるソース電極536、537及びN共通ドレイン電極538を形成する。金属薄膜としてはアルミニウム、タンタル、チタン、タングステン、モリブデン又はそれらの積層膜を用いれば良い。膜厚は100~300 nmとすれば良い。(図6 (E))

【0074】最後に、全体に対して水素雰囲気中、350°C2時間程度の加熱処理を行い、膜中(特にチャネル形成領域中)の不対結合手を水素終端する。以上の工程によって図6 (E)に示す様な構造のCMOS回路が完成する。

【0075】なお、画素マトリクス回路を構成する画素TFTは、以上の工程の後に層間絶縁膜を形成し、その上にドレイン電極と電気的に接続する画素電極を形成することで完成する。

【0076】本願発明では、以上の様な工程で作製された逆スタガ型TFTでもって画素マトリクス回路や駆動回路を構成する。なお、本実施例の作製工程は本願発明を構成するための一例に過ぎず、本願発明に利用しうる逆スタガ型TFTの作製方法は本実施例に限定されるものではない。

【0077】また、本実施例ではNTFTとPTFTに対してチャネルドープを行っているが、必要がなければチャネルドープを行う必要はない。

【0078】また、チャネルドープを行うにしても、他の構成としてNTFTのみ又はPTFTのみに対してチャネルドープを行う構成もとりうる。また、NTFTとPTFTの両方に同じ導電型の元素を添加する場合もありうる。さらに、添加する元素（15族元素または13族元素）はしきい値電圧をプラス側とマイナス側のどちらに移動させる必要があるかで実施者が適宜決定すれば良い。

【0079】【実施例6】本実施例では、ICチップの代わりに特願平8-301249号、同8-301250号に記載されたTFTを用いた半導体回路を利用する場合の例を示す。

【0080】特願平8-301249号、同8-301250号に記載されたTFTは非常に動作速度が速いため、従来ICチップで構成していた様なロジック回路を構成することもできる。特に、サブストレート基板としてシリコン基板を用いればICチップの取り扱いが可能である。

【0081】この時、第1の基板上に形成するボトムゲイド型TFTはどの様なプロセスで形成されても構わない。本実施例では、非晶質珪素膜をエキシマレーザーで結晶化させて得た結晶性珪素膜を活性層として利用する。この様なボトムゲイド型TFTは公知の技術で作製することが可能である。

【0082】図7に示すのは第1の基板上の配置状態を簡略化した図である。図7（A）において、701はガラス基板（第1の基板）であり、その上には上述の方法で形成されたボトムゲイド型TFTからなる画素マトリクス回路702、ソース又はゲート駆動回路703が配置される。また、704は特願平8-301249号、同8-301250号に記載されたTFTで回路構成した半導体チップであり、フェイスダウン方式のCOG法で取り付けられている。

【0083】また、図7（B）に示すのは半導体チップ704をフェイスダウン方式のCOG法で取り付けた場合である。705はポンディングワイヤである。

【0084】【実施例7】本実施例では、第1の基板上に逆スタガ型TFTを作製するにあたって実施例5とは異なる作製方法を用いた場合の例を示す。具体的には、特開平7-130652号公報記載の技術で結晶性珪素膜を形成し、その時利用する触媒元素をP（リン）によるゲッタリング効果を利用して除去する場合の例について説明する。

【0085】まず、図8（A）において、801はガラス基板、802は下地膜、803、804はN型導電性的ポリシリコン膜であるゲート電極、805はゲート絶縁膜、806は非晶質珪素膜である。ゲート電極は実施例5に示した材料ならば全てを用いることが可能である。

【0086】本実施例では、非晶質珪素膜806の上にニッケルを含有した膜（以下、ニッケル含有層と呼ぶ）807を形成する。ニッケル含有層807の形成方法は本発明者らによる特開平7-130652号公報に記載された技術を利用すれば良い。なお、同公報の実施例1及び実施例2のどちらの手段も用いることができるが、生産性を考慮して本実施例では同公報の実施例1に記載された技術を用いる。（図8（A））

【0087】なお、触媒元素としてはニッケル以外にも、コバルト（Co）、鉄（Fe）、パラジウム（Pd）、白金（Pt）、銅（Cu）、金（Au）、ゲルマニウム（Ge）、鉛（Pb）、ガリウム（Ga）等を用いることができる。

【0088】また、上記公報では触媒元素の添加工程をスピンドルコート法で行う例が示してあるが、イオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0089】次に、触媒元素の添加工程が終了したら、500℃1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700℃（代表的には550～650℃）の温度で4～24時間の加熱処理（ファーネスアニール）を加えて非晶質珪素膜806の結晶化を行う。本実施例では窒素雰囲気で550℃4時間の加熱処理を行い、結晶性珪素膜808を得る。（図8（B））

【0090】次に、複数の開口部を有するレジストマスク809を形成する。この開口部は、後に活性層として利用しない（除去してしまう）領域が露出する様な位置に形成する。

【0091】次に、レジストマスク809をマスクとしてリンの添加工程を行う。この添加工程はイオン注入法又はイオンドーピング法を用いる。添加条件はRF電力を20W、加速電圧を5～30keV（代表的には10keV）に設定し、リンのドーズ量は $1 \times 10^{13} \text{ atoms/cm}^2$ 以上（好ましくは $5 \times 10^{13} \sim 5 \times 10^{15} \text{ atoms/cm}^2$ ）とする。

【0092】添加するリン濃度の目安としては、結晶性珪素膜808中に含まれるニッケル濃度よりも1桁以上高い濃度を添加すると良い。上述の結晶性珪素膜808中に約 $1 \times 10^{13} \text{ atoms/cm}^2$ のニッケルが含まれるので、その場合には $1 \times 10^{20} \text{ atoms/cm}^2$ 程度のリンを添加することが好ましい。

【0093】こうして、結晶性珪素膜808の一部には

リンが添加された領域（ゲッタリング領域）810～812が形成される。（図8（C））

【0094】次に、レジストマスク809を除去した後、ニッケルをゲッタリングするための加熱処理を行う。この加熱処理により被ゲッタリング領域813、814に含まれるニッケルは矢印で示される様にゲッタリング領域810～812に捕獲されていく。（図8（D））

【0095】この加熱処理は不活性雰囲気、水素雰囲気、酸化性雰囲気またはハロゲン元素を含む酸化性雰囲気におけるファーネスアニールで良い。また、処理温度は400～700°C（好ましくは550～650°C）とし、処理時間は2時間以上（好ましくは4～12時間）とすれば良い。処理温度は高い方がより短時間で済むし、ゲッタリング効果も高いが、ガラス基板の耐熱性を考慮すると650°C以下にすることが望ましい。

【0096】こうしてゲッタリング領域810～812にニッケルをゲッタリングしたら、結晶性珪素膜をバターニングして、被ゲッタリング領域813、814のみからなる活性層815、816を形成する。この際、ゲッタリング領域810～812及びその近傍は高濃度にニッケルを含んでいるため、活性層には利用しないで完全に除去することが望ましい。

【0097】ゲッタリング処理を行って得られた活性層815、816中に存在するニッケル濃度は 5×10^{17} atoms/cm³以下としか判断していないが、実際には少なくとも 1×10^{14} atoms/cm³程度までに低減されていると考えている。なお、実験的にはニッケル濃度が 5×10^{17} atoms/cm³以下であればTFT特性に影響を与えないことが判っている。

【0098】現状では検出下限の問題で 5×10^{17} atoms/cm³以下としか判断していないが、実際には少くとも 1×10^{14} atoms/cm³程度までに到達していると考えている。なお、実験的にはニッケル濃度が 5×10^{17} atoms/cm³以下であればTFT特性に影響を与えないことが判っている。

【0099】以上の様にして図8（E）に示す状態が得られる。後は、実施例5に示した工程に従えば、図6（E）の様な構造のCMOS回路を作製することが可能である。勿論、画素マトリクス回路を構成する画素TFTに対して本実施例の技術を適用することも可能である。

【0100】また、本実施例ではリンの添加手段としてイオン注入法またはイオンドーピング法を用いる例を示しているが、リンを含む雰囲気中のアニュール（気相法）、リンを含む絶縁膜中のゲッタリング（固相法）を利用しても良い。

【0101】〔実施例8〕本願発明では、実施例1で示した構成の液晶モジュールの一部に逆スカラ型TFTをスイッチング素子としたイメージセンサを形成することもできる。イメージセンサはTFT部と光電変換部とで

構成される。

【0102】本実施例の様な構成とすれば液晶パネル自体にイメージセンサが内蔵されたシステムパネルが実現可能であり、本願発明の効果がさらに顕著に發揮される。この場合、ICチップに対してもイメージセンサを制御するための制御回路を組み込むことも有効である。

【0103】〔実施例9〕本願発明は、電気光学変調層としてEL材料（有機EL、無機EL）を用いたEL表示装置に適用することも可能である。EL表示装置は自発光型素子であるので、高輝度、高視野角といった利点を有し、直視型ディスプレイとしての用途に適している。

【0104】本願発明は電気光学装置およびそれを用いた電子機器の携帯性、機能性の向上を目的としているので、直視型ディスプレイに適用することで顕著な発明効果を得ることができる。

【0105】〔実施例10〕本実施例では、本願発明の電気光学装置に搭載されるICチップの構成例を図10に示すブロック図を用いて説明する。なお、点線で囲まれた領域がICチップのシステム構成である。また、本実施例ではアナログ信号をデジタル処理した後、アナログ変換して液晶パネルに送信する回路例を示す。

【0106】外部から送信されるアナログ信号はR信号11、G信号12、B信号13及び水平同期信号14、垂直同期信号15である。RGB信号11～13はA/Dコンバータ16、VRAM17（時間軸伸長を行う）、η補正+極性反転回路18、D/Aコンバータ19を経てアナログ信号で出力される。

【0107】その間、クロックジェネレータ20では水平同期信号14、垂直同期信号15を元にXGA、SXGA等に対応したクロックパルスやスタートパルスが形成され、A/Dコンバータ16、VRAM17、η補正+極性反転回路18等に送られる。クロックジェネレータ20は制御マイコン21で制御される。

【0108】こうして、必要な処理を終えたアナログ信号としてR信号22、G信号23、B信号24が出力される。液晶パネルにはTFTでもってソース駆動回路25、ゲート駆動回路26、画素マトリクス回路27が形成され、前述のR信号22、G信号23、B信号24がソース駆動回路25へ送られる。

【0109】〔実施例11〕本実施例では、本願発明の電気光学装置に搭載されるICチップの構成例を図10に示すブロック図を用いて説明する。本実施例はアナログ信号をそのまま液晶パネルに送信する回路例を示す。

【0110】なお、基本的な構成は実施例10で既に説明したので、実施例10と異なる点のみを説明することにする。

【0111】外部から送信されたアナログ信号（R信号11、G信号12、B信号13）は增幅回路30、η補正+極性反転回路18、サンプルホールド31、バッフ

アアンプ32を経て出力される。こうして、必要な処理を終えたアナログ信号としてR信号33、G信号34、B信号35が送出される。これらの信号はソース駆動回路25へ送られる。

【0112】〔実施例12〕本実施例では、本願発明の電気光学装置に搭載されるICチップの構成例を図11に示すブロック図を用いて説明する。本実施例もデジタル信号をそのまま液晶パネルに送信する回路例を示す。

【0113】R信号40、G信号41、B信号42は、例えば6～8bitに対応するデジタル信号である。RGB信号40～42はVRAM43、 γ 補正回路44で必要な処理が施され、R信号45、G信号46、B信号47となってソース駆動回路48へと送信される。本実施例の場合、ソース駆動回路48はデジタル信号に対応した回路構成とする必要がある。

【0114】〔実施例13〕本実施例では、本願発明の電気光学装置に搭載されるICチップの構成例を図12に示すブロック図を用いて説明する。本実施例もデジタル信号を一旦演算処理してから液晶パネルに送信する回路例を示す。

【0115】なお、基本的な構成は実施例12で既に説明したので、本実施例では省略するのみに着目して説明を行う。

【0116】デジタル化されたRGB信号40～42はまずDSP(デジタルシグナルプロセッサ)50で補正演算処理が行われる。この時、補正データはフラッシュメモリ51に記憶されており随時読み出しを行う。

【0117】そして、補正演算されたビデオ信号はVRAM43、 γ 補正回路44で処理されてR信号52、G信号53、B信号54となってソース駆動回路48に送信される。

【0118】〔実施例14〕本実施例では、実施例10～13に示したシステム構成に入力するRGB信号を形成する過程の構成例を図13に示すブロック図を用いて説明する。なお、本実施例の回路構成も、ワンチップ化することで液晶パネル基板上に搭載することが可能である。

【0119】図13(A)に示す様に、NTSC信号60はYC分離回路61でY(輝度)信号62、C(色)信号63とに分離される。そして、それらの信号はRGF分離回路64で、R信号65、G信号66、B信号67とに分離される。また、ここで水平同期信号68、垂直同期信号69が形成される。

【0120】なお、PAL方式の信号など他のTV規格の信号も同様の構成からなる回路で処理されて液晶パネルへと送られる。

【0121】また、図13(B)に示す様に、レーザーディスクやBS(衛星放送)からの信号はY(輝度)信号70、C(色)信号71として送られてくる。これをRGB分離回路64で処理してR信号72、G信号7

3、B信号74とに分離する。また、水平同期信号75、垂直同期信号76も形成される。

【0122】これらRGB信号及び水平・垂直同期信号は実施例10～13に示したそれぞれのシステム回路に送信されて液晶パネルの駆動回路へと送られ、画素マトリクス回路で映像として復元される。

【0123】〔実施例15〕本実施例では、実施例10～13に示したシステム構成に入力するRGB信号を形成する過程の構成例を図14に示すブロック図を用いて説明する。なお、本実施例では実施例14と異なり、米国等のデジタル放送に対応する(ATVに対応する)ための回路構成の例を示す。

【0124】ビデオ信号80は、アンテナから受信されたビデオ信号に対して様々な周波数変換処理を施した信号である。この信号をVSB(またはQAM)復調回路で元の周波数に変調する。そして、それをトランスポンタコード82で符号化された信号に戻す。

【0125】こうして処理された信号をMPEG2(デコーダ)83に入れ、周波数帯域の伸長を行う。そして、フォーマット変換回路84で所望のフォーマット信号にして、さらにR信号85、G信号86、B信号87及び水平同期信号88、垂直同期信号89を形成する。

【0126】なお、ここまではデジタル信号を取り扱うので、最終的にアナログ信号として得たい場合には、フォーマット変換回路84の後にD/Aコンバータ(図示せず)を設けておけば良い。

【0127】以上の様にして得られたビデオ信号を実施例10～13に示したシステムで処理する。そこまでをICチップでを行い、ICチップ上で処理されたビデオ信号をTFTでもって基板上に形成されたソース/ゲート駆動回路に送れば良い。

【0128】〔実施例16〕

【0129】本実施例では、大型基板から複数枚の液晶パネルを取り出す場合の製造工程(多面取り工程)について図15を用いて説明する。なお、本実施例では大型角基板から液晶パネル4枚を作製する場合を例にとる。

【0130】図15(A)はセル組み過程において貼り合わせた同サイズの大型基板を分断する工程である。図15(A)において、1501で示されるのはシール材(封止材)であり、この囲みの内部に液晶材料が封入される。本実施例では、まず、図15(A)に示す様に液晶注入口1502の形成される面をスクライバーによつて分断する。

【0131】スクライバーとは、基板に細い溝(スクライブ溝)を形成した後に基板に小さな衝撃を与え、溝に沿った亀裂(クラック)を発生させて基板を分断する装置である。

【0132】なお、基板を分断するための装置としては他にもダイサーが知られている。ダイサーとは、硬質カッター(ダイシングソー)を高速回転させて基板を分断

する装置である。しかしながら、ダイヤー使用時は熱と研磨粉とを抑えるため水を大量に多く必要があるため、液晶注入口が空いている図15(A)の状態では液晶注入口に水が入ってしまうので使用できない。

【0133】ところで、図15(A)の工程では、スクライプ溝は基板表面近傍に形成されるので第1の基板側(TFTを作製する側の基板)1503と第2の基板側(対向側の基板)1504とにスクライプ溝を入れて分断する。この様子を図15(B)、(C)を用いて説明する。

【0134】図15(B)は、図15(A)を矢印が示す方向から見た図である。まず、図15(B)において矢印で示す様に、第1の基板1503側と第2の基板1504側の両面からスクライプ溝1505～1508を形成する。

【0135】この時、図15(B)に示す様に、第1の基板1503に形成されるスクライプ溝1508と第2の基板1504に形成されるスクライプ溝1506とを揃える。こうすることで、本願発明の構成(端面を揃える構成)が実現される。

【0136】また、この時、第2の基板1504のみにスクライプ溝1505、1507を形成する。この様にして第2の基板1504の一部のみを部分的に除去去ることが可能である。これにより第1の基板1503の一部が露出する。

【0137】以上のようなスクライプ溝の形成が終了したら、カッティングにより分断を行い、図15(C)の状態を得る。前述の第1の基板1503が露出した部分1509はFPC及びICチップを取り付ける部分として活用される。

【0138】また、本実施例の様に液晶注入口1502の形成される側の端面が第1の基板と第2の基板とで揃っていることは製造コストの低減につながる。なぜならば、端面を揃えておけば後の液晶注入工程において液晶注入口をちょうど液晶表面に接する様な恰好にできるため、準備する液晶の液面高さを最小限に抑えられるからである。即ち、液晶を効率良く使用できるのでコスト低減に大きく寄与することになる。

【0139】こうして2枚の液晶パネルが一組となった2つの基板に分断される。次に、この2つの基板のぞれぞれに対して液晶材料の注入・封止工程を行う。この工程は公知の工程に従えば良いので説明は省略する。

【0140】この時、2枚分の液晶パネルに対して一度に液晶材料を注入することが可能である。勿論、2つの基板を同時にバッチ処理にして4枚分の液晶パネルに対して一度に液晶材料を注入することも可能である。

【0141】以上の様にして、液晶材料の注入工程及びシール材の封止工程が終了したら、次に図16に示す様な方向に沿ってダイヤーによる分断を行う。なお、前工程で液晶材料1510を封入したので、この分断工程で

はダイヤーの使用が可能である。なお、1511は液晶材料を封止するための封止材である。

【0142】ダイヤーを用いる利点としては分断ミスがスクライバーよりも少なく歩留りが高い点と、第1の基板と第2の基板とを一括で分断することが可能であるのでスループットを向上できる点が挙げられる。

【0143】以上の様な分断工程によって4枚の液晶パネルが個々に分断される。この分断工程ではダイヤーで一括に行えれば良いので、スクライバーの様に基板の両側からスクライプしなくてはならない煩わしさがない。

【0144】また、本願発明ではICチップを取り付ける部分に隣接する端面以外の全ての端面において第1の基板の端面と第2の基板の端面とを揃えるので、図16に示す分断と同時に液晶パネルの分断工程が終了する。

【0145】ところで、本実施例では分断工程においてスクライバーによる分断とダイヤーによる分断を使い分けているが、その使い分けには以下に示す様な注意が必要である。

【0146】まず、スクライバーを使用する場合、スクライプ溝に衝撃を与えてクラックを発生させ、それに沿って基板を分断するため分断時に基板上に形成された素子(TFT等)に対してストレスがかかりやすい。素子にかかるストレスは素子特性の劣化等を招く可能性があるので好ましくない。

【0147】従って、分断面の近傍に高い動作速度を必要とする様な回路が構成されている場合には、ストレスが非常に悪影響を与えるのでスクライバーによる分断を避けダイヤーによる分断を行うのが好ましい。換言すればストレスの影響を受けやすい回路の配置された近傍を分断する場合には極力ダイヤーを用い、ストレスの影響がさほど現れない様な回路の配置された近傍を分断する場合のみにスクライバーを用いるのが望ましい。

【0148】また、例えば基板上にTFTでもって形成された駆動回路は、液晶材料で覆われているとストレスを受けにくい。従って、液晶を封入するシール材に囲まれた領域内に駆動回路が形成されている場合には、スクライバーを使ってもストレスが伝わりにくい。また、ダイヤー用いるのならば、画素マトリクス回路上のみに液晶層を配置し、駆動回路上には液晶層が存在しない様な構成としても分断時のストレスを受けにくい。

【0149】以上のように、分断する基板面の近傍にどのような回路が配置されているかによってスクライバーによる分断とダイヤーによる分断を使い分けることは非常に有効である。本実施例の様にスクライバーとダイヤーとを使い分ける場合にはこの様な注意が非常に大きな意味を持つ。

【0150】〔実施例17〕本願発明の液晶モジュールは、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、液晶モジュール

に代表される電気光学装置を搭載した製品と定義する。【0151】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図17に示す。

【0152】図17（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を表示装置2004等に適用することができる。

【0153】図17（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102に適用することができる。

【0154】図17（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205等に適用できる。

【0155】図17（D）はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本發明は表示装置2302に適用することができる。

【0156】図17（E）はアリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本發明は表示装置2403に適用することができる。

【0157】図17（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本發明は表示装置2503に適用することができる。

【0158】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。特に、携帯性を重視した電子機器には非常に効果的であると言える。

【0159】例えば、ICチップで様々な信号処理を行えるので、実施的に液晶モジュールのみで電子機器の殆どの機能を果たしてしまう。即ち、カード型モバイルコンピュータの如き電子機器をも実現しうる。

【0160】

【発明の効果】本願発明はTFTを作製する側の基板と対向側の基板とを極力端面を描える様にして貼り合わせ、FPC取り付け部にICチップを取り付けるため、

極めてコンパクトな電気光学装置（特に液晶モジュール）を構成することができる。

【0161】そのため、ICチップ搭載型のシステムパネルを最小限のサイズで実現できるので、非常にコンパクトで、且つ、多機能性を有する液晶モジュールを実現できる。これはそのまま電子機器の小型化・軽量化（携帯性の向上）に寄与する。

【0162】また、画素マトリクス回路及び駆動回路を構成するボトムゲイト型TFT（特に逆スタガ型TFT）は安価な製造コストで作製可能であるため、液晶モジュールの低コスト化、さらには電子機器の低コスト化が望める。

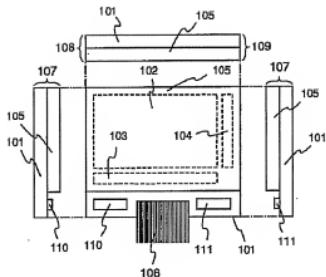
【図面の簡単な説明】

- 【図1】 液晶モジュールの構成を示す図。
- 【図2】 液晶モジュールの構成を示す図。
- 【図3】 液晶モジュールを構成する回路の拡大図を示す図。
- 【図4】 液晶モジュールを構成する回路の拡大図を示す図。
- 【図5】 ボトムゲイト型TFTの作製工程を示す図。
- 【図6】 ボトムゲイト型TFTの作製工程を示す図。
- 【図7】 液晶モジュールの断面構造を説明するための図。
- 【図8】 ボトムゲイト型TFTの作製工程を示す図。
- 【図9】 液晶モジュールのシステム構成を示す図。
- 【図10】 液晶モジュールのシステム構成を示す図。
- 【図11】 液晶モジュールのシステム構成を示す図。
- 【図12】 液晶モジュールのシステム構成を示す図。
- 【図13】 液晶モジュールのシステム構成を示す図。
- 【図14】 液晶モジュールのシステム構成を示す図。
- 【図15】 多面取りの際の分断工程を説明するための図。
- 【図16】 多面取りの際の分断工程を説明するための図。
- 【図17】 電子機器の一例を説明するための図。

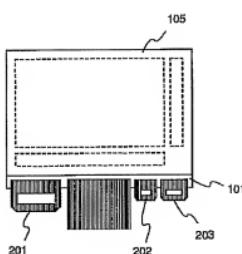
【符号の説明】

101	第1の基板
102	画素マトリクス回路
103	ソース駆動回路
104	ゲート駆動回路
105	第2の基板
106	FPC
107～109	端面
110、111	ICチップ

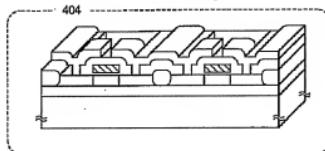
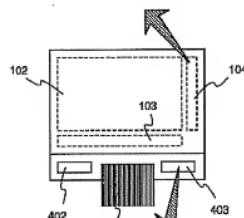
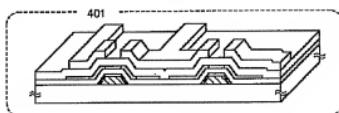
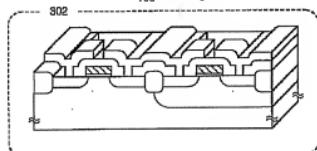
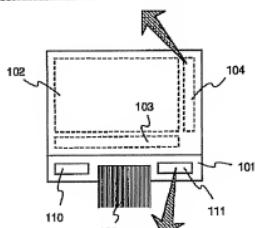
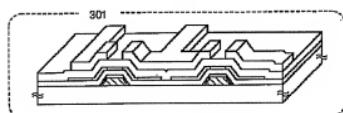
【図1】



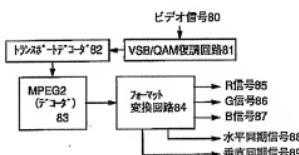
【図2】



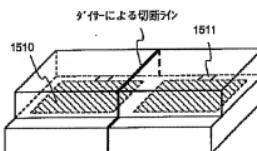
【図3】



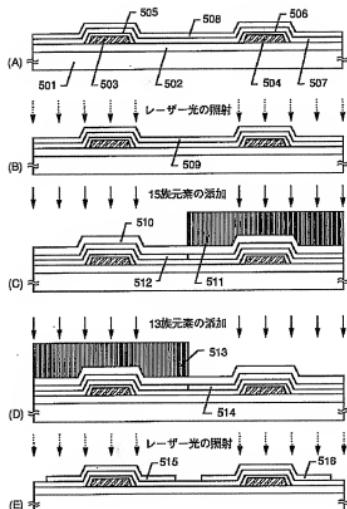
【図14】



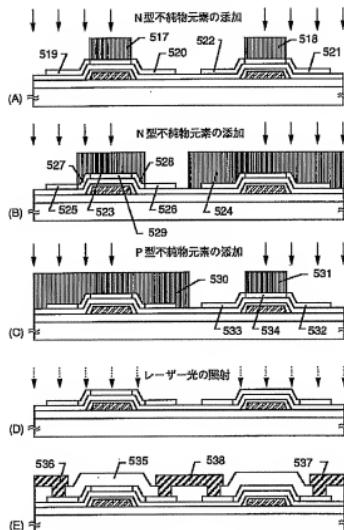
【図16】



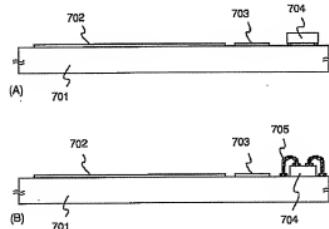
【図5】



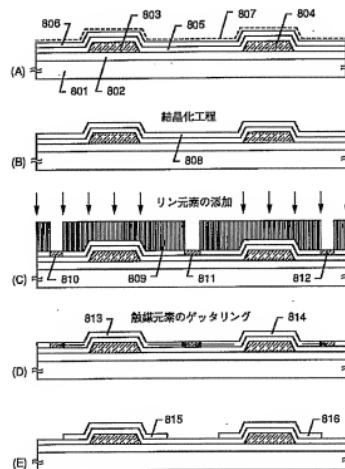
【図6】



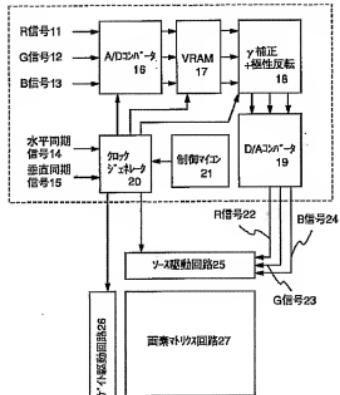
【図7】



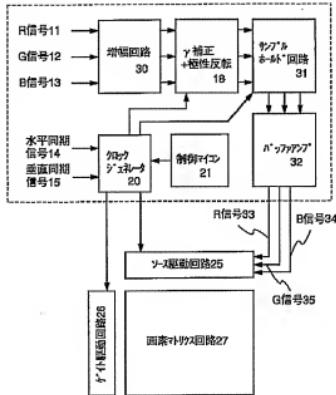
【図8】



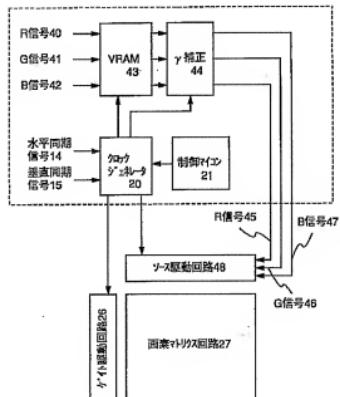
【図9】



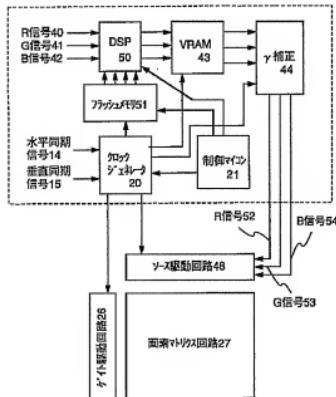
【図10】



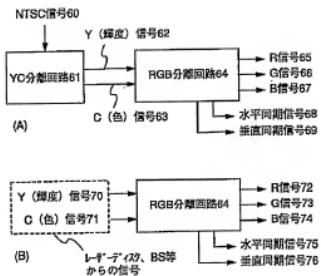
【図11】



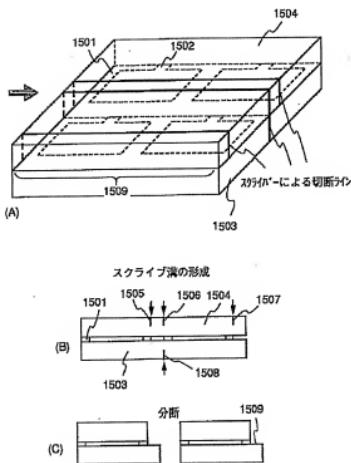
【図12】



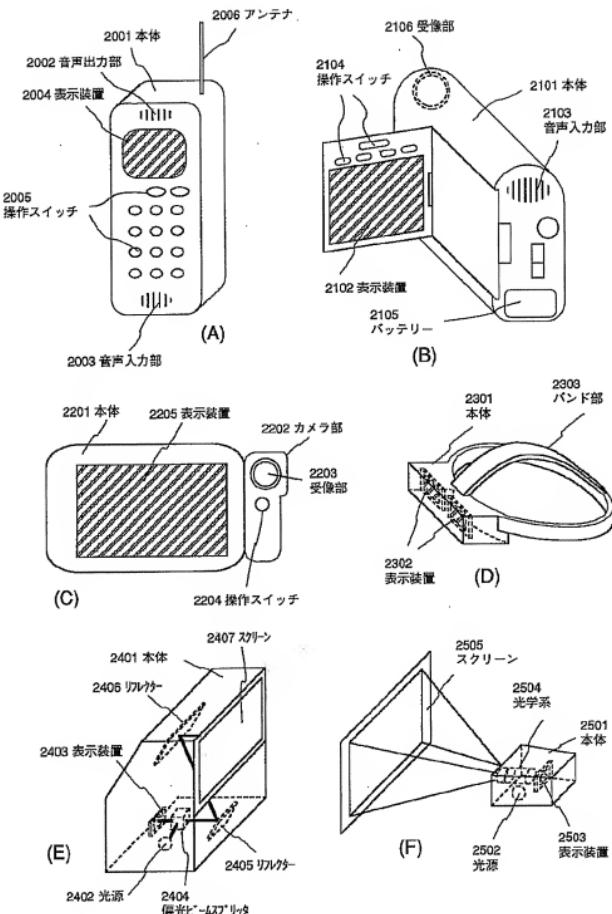
【図13】



【図15】



【図17】



フロントページの続き

(72)発明者 福永 健司
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内